

Architettura degli elaboratori – A. A. 2014-2015

Terzo appello – 17 luglio 2015

*Indicare Nome Cognome Matricola e Corso (A/B) su tutti i fogli consegnati.
Risultati, bozza di correzione e calendario degli orali su web appena disponibili*

Domanda 1

Una unità firmware U_s implementa uno *stack* di 128 posizioni per l'interconnessione di tre altre unità U_a , U_b ed U_c . U_a ed U_b possono eseguire operazioni di *push* di una parola, mentre U_c può eseguire operazioni di *pop* di una parola.

Si richiede la realizzazione di un arbitraggio fair fra U_a e U_b evitando comunque attese inutili di una unità e, al contempo, di dare priorità alle operazioni di *pop*.

Dell'unità si fornisca microcodice e tempo di servizio, facendo tutte le debite assunzioni su tempi di eventuali ALU e memorie utilizzate nella Parte Operativa.

Domanda 2

Per il seguente codice assembler, operante sui vettori A e P, ciascuno da $N=8K$ posizioni, di interi:

1. ADD R_0 , #1, R_{prefix}
2. ADD R_0 , R_0 , R_i
3. loop: LOAD R_{baseA} , R_i , R_{ai}
4. MUL R_{ai} , R_{prefix} , R_{prefix}
5. STORE R_{baseP} , R_i , R_{prefix}
6. INC R_i
7. IF< R_i , R_N , loop
8. END

si forniscano

- la traccia degli accessi in memoria principale per le prime iterazioni del ciclo, assumendo che il vettore P, il vettore A ed il codice siano allocati in memoria virtuale consecutivamente a partire dall'indirizzo 0 e che R_{baseA} , R_{baseP} ed R_N siano inizializzati ai valori corretti
- il tempo di completamento su processore D-RISC, dotato di cache di primo livello associativa di insiemi (1K insieme da 4 linee di $\sigma=16$ parole ciascuna) e di memoria principale dotata di 1M pagine da 4K, con unità di esecuzione per moltiplicazione/divisione fra interi a 4 stadi,
- una possibile ottimizzazione del codice, con valutazione quantitativa del guadagno in termini di tempo di completamento.

Domanda 3

Si indichi il costo temporale della gestione di un'interruzione sul processore D-RISC monolitico come descritto nella prima parte del corso.