

Architettura degli Elaboratori – A. A. 2017-2081
Prima prova di verifica intermedia e appello straordinario – 3 novembre 2017

Indicare su tutti i fogli consegnati, in alto a destra, nome, cognome, numero di matricola, corso (A o B) e, in caso di partecipazione all'appello straordinario, "Appello straordinario". I risultati verranno pubblicati via web appena disponibili, insieme al calendario degli orali per gli studenti dell'appello straordinario.

Si consideri una unità U che è collegata ad U_1 , U_2 ed U_3 mediante collegamenti dedicati. Il collegamento con U_1 e quello con U_2 è in ingresso, l'interfaccia è dotata di indicatori a transizione di livello e permette la trasmissione di una singola parola da 32 bit. U_3 interagisce con U secondo un protocollo a domanda risposta: invia richieste (senza invio di dati) ad U e riceve come risposta una parola di 32 bit.

La parte operativa di U contiene una memoria M di 1024 parole che permette la lettura di una parola e la scrittura di un'altra parola nello stesso ciclo di clock.

La memoria è gestita con politica FIFO, per memorizzare informazioni provenienti da U_1 ed U_2 e per inviare informazioni ad U_3 . In particolare, U attende una parola da U_1 ed una da U_2 e memorizza in M , secondo la disciplina FIFO, il massimo dei due valori, l'altro viene scartato. Quando riceve una richiesta da U_3 , U trasmette una parola di M , prelevata sempre utilizzando una disciplina FIFO.

Si progetti U e se ne calcoli il ciclo di clock sapendo che una ALU ha un ritardo di $5t_p$ e che le porte logiche utilizzate per la costruzione di *tutti* i componenti di U hanno al massimo 6 ingressi.