

## Esercitazione 1

Ogni esercitazione ha lo scopo di servire da guida per la preparazione su una specifica parte del corso. È fortemente consigliato che lo studente lavori indipendentemente all'esercitazione durante lo svolgimento di tale parte a lezione e prima che sia disponibile la soluzione, approfondendo criticamente i vari aspetti e accompagnando la soluzione con adeguate spiegazioni rivolte alla comprensione ed alla esposizione dei concetti del corso.

### Soluzione: venerdì 10 ottobre

Per le seguenti reti logiche dare una realizzazione, con le caratteristiche indicate caso per caso, e valutare il tempo di stabilizzazione o il ciclo di clock in funzione del ritardo  $t_p$  di una porta logica con al massimo 4 ingressi.

Per ogni rete studiare almeno due realizzazioni che siano diverse per quanto riguarda il metodo seguito (ad esempio, per reti combinatorie partendo dalla tabella di verità o da una descrizione algoritmica, per reti sequenziali usando il modello matematico di Moore e quello di Mealy) e per quanto riguarda i componenti logici utilizzati (elementari oppure standard), ove i vari casi siano possibili.

- a) Una rete logica ha quattro variabili booleane di ingresso  $a_0, a_1, b_0, b_1$  e due variabili booleane di uscita  $z_0, z_1$ . La specifica del comportamento è la seguente:
- se  $a_0 \neq a_1$ :  $z_0 = \max(b_0, b_1)$  e  $z_1 = \min(b_0, b_1)$ , altrimenti  $z_0$  e  $z_1$  sono rispettivamente uguali alla somma ed al riporto dell'addizione di  $b_0, b_1$ .
- b) Una rete logica ha quattro variabili booleane di ingresso  $a_0, a_1, b_0, b_1$  e due variabili booleane di uscita  $z_0, z_1$ . La specifica del comportamento è la seguente:
- se  $a_0 \neq a_1$ :  $z_0 = \max(b_0, b_1)$  e  $z_1$  rimane inalterata, altrimenti  $z_0$  rimane inalterata e  $z_1 = 0$ .
- c) Una rete logica riceve in ingresso una sequenza di coppie  $(J, A)$ , dove  $J$  è un valore naturale di 5 bit ed  $A$  è un valore intero di 32 bit in complemento a due, ed invia in uscita una sequenza di coppie  $(Z_0, Z_1)$ , dove  $Z_0$  è un valore booleano e  $Z_1$  un valore intero di 32 bit in complemento a due.

Sapendo che  $A$  assume il valore zero prima che inizi la sequenza di ingresso, la specifica del comportamento della rete è la seguente:

per ogni coppia  $(J, A)$ :

- se  $A[J] = 0$ ,  $Z_0$  riconosce se  $A$  è una potenza di 2 e  $Z_1$  è uguale al massimo tra il valore attuale di  $A$  ed il valore precedente di  $A$ ,
- se  $A[J] = 1$ ,  $Z_0$  riconosce se  $1024 \leq A < 2048$  e  $Z_1$  è uguale al minimo tra il valore attuale di  $A$  ed il valore precedente di  $A$ .